

文: 邱秉毅, 服務於台灣愛普生科技股份有限公司, 電子零件事業部。

## 愛普生差動信號石英振盪器特性和終端電路設計、電路轉換方法

### 1. 何謂差動時脈信號 (Differential clock) ?

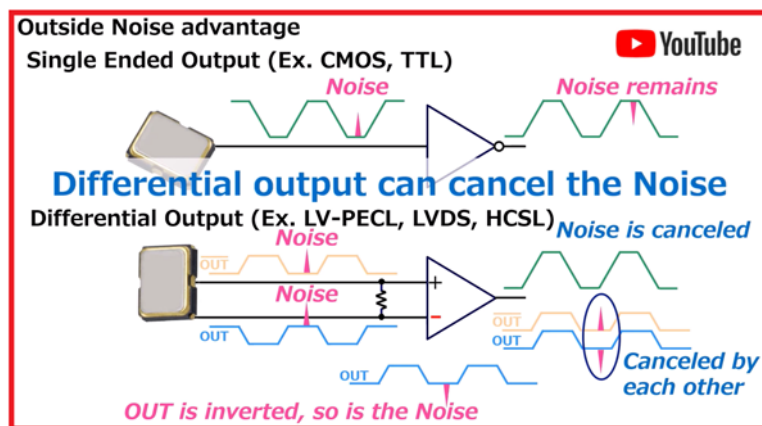
差動時脈信號, 主要區分為:LVPECL、LVDS、HCSL 等輸出, 在電子電路設計中, 廣泛使運用於各種高階通信設備中, 相關高速信號收發專用的高頻低抖動參考時脈訊號模式, 其主要特性優勢為: 高抗干擾能力、卓越的電磁相容(EMC)特性, 優異的抖動特行(Low Jitter)...等。

透過差動時脈信號設計, 可以讓設計電路板走線的路徑傳輸更長, 因差分訊號分為 Q 和/Q 時脈 CLK, 在共模電壓下相互抵消與較小的峰對峰振幅, 相較於 CMOS 有顯著降低 EMI 問題 (參閱 圖一 LVPECL、LVDS、HCSL、COMS 電壓振幅比較)。

在此, 為何差動時脈信號得以實現更穩定更佳的電磁相容能力的參考信號源呢?

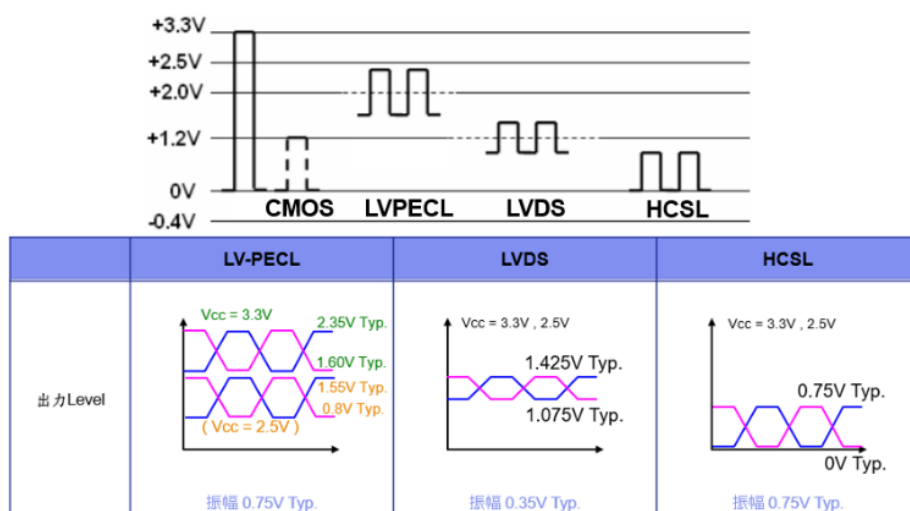
請各位參考日本精工愛普生的影片, 透過本影片, 便可瞭解差動信號為何實現更穩定時脈的原因?

[https://www.youtube.com/embed/I20Dns--4Bs?feature=player\\_detailpage&rel=0/](https://www.youtube.com/embed/I20Dns--4Bs?feature=player_detailpage&rel=0/)



整體來說, 採用差動時脈對於信號相位偏移的抖動(Phase Jitter)要求規格, 相對一般標準石英振盪器嚴格甚多。其中, Phase Jitter 或是 Jitter 都會造成降低電路的高速信號傳輸穩定性, 這都是因為信號抖動, 將會造成高速信號傳輸時, 發生信號失真或發生資料封包錯誤情況。

下圖圖一, 為各種主要差動信號間, 其直流電壓準位(VCOM)和 Q 和/Q 差動信號振幅間關係, 供各位參考,



圖一. LVPECL、LVDS、HCSL、COMS 電壓振幅比較

## 2. 主要差動信號間，外部 Termination 設計間差異，和特性比較，

選擇 Differential CLK，首先必需先了解每種訊號的主要特性，並選擇應用產品最適合的訊號，且滿足搭配的主晶片要求的規範，請參考下表一，

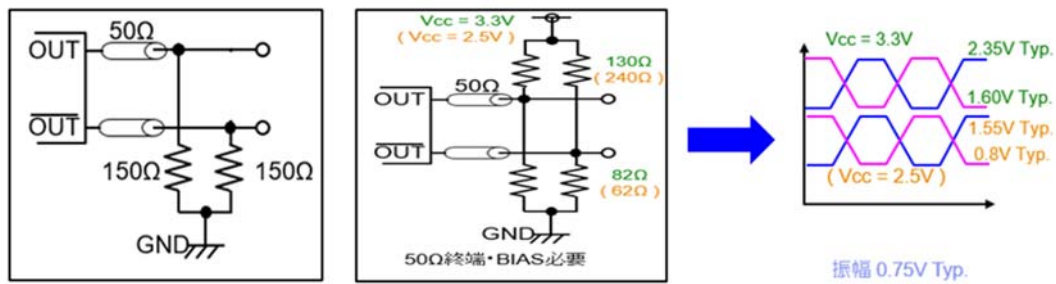
表一. Differential CLK 特性

| Output Type<br>Item | LVPECL<br>(Low Voltage Positive Emitter Coupled Logic) | LVDS<br>(Low Voltage Differential Signaling) | HCSL<br>(High Speed Current Steering Logic)      |
|---------------------|--------------------------------------------------------|----------------------------------------------|--------------------------------------------------|
| 特性                  | 高周波和高品質時脈設計，高安定傳送技術。規模複雜或高性能應用時佳。                      | 與 LVPECL 時脈品質相較較不穩定。低消費電力傳送方式。低消費電力需求產品應用    | PCI-Express Interface 常用規格。<br>PCI-Express 關連應用。 |
| 時脈速度                | 高速 (~約 2GHz)                                           | 中速 (~約 1GHz)                                 | 低速差動信號工作頻率 (~200MHz)<br>Source 終端波形較易失真          |
| 消耗電流                | 大 (約 30mA)                                             | 低 (3.5mA Typ.)                               | 中 (約 15mA)                                       |
| 工作電壓                | 高 (2.5V / 3.3V )                                       | 中 (1.8V / 2.5V / 3.3V)                       | 低 (1.8V 以下可能)                                    |
| Phase Jitter        | Low                                                    | 相對 LVPECL 界面信號較差                             | Low                                              |
| EMI                 | 較大                                                     | 小                                            | 較大                                               |
| 信號走線長度              | 長距離傳送可能高負荷<br>Backplane (背板)傳送可能                       | 長距離傳送可能高負荷<br>Backplane (背板)傳送可能             | 長距離傳送不適合                                         |

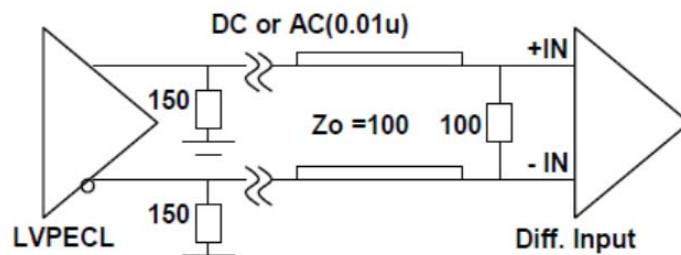
## 3. LVPECL Driver and Termination

### 3-1. LVPECL 標準電路

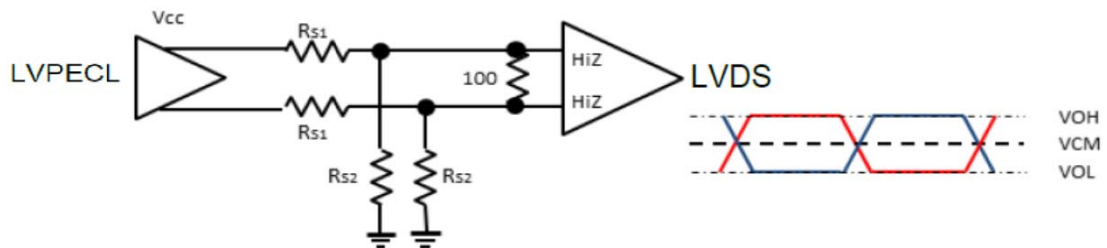
◎ 兩種常見 LVPECL 標準電路如下：



其中，LVPECL 可進行 DC/AC Coupling 如下：



### 3-2. LVPECL 終端電路 $V_{OH}/V_{OL}$ ，轉換為 LVDS $V_{OH}/V_{OL}$ ：



圖二. LVPECL to LVDS termination circuit

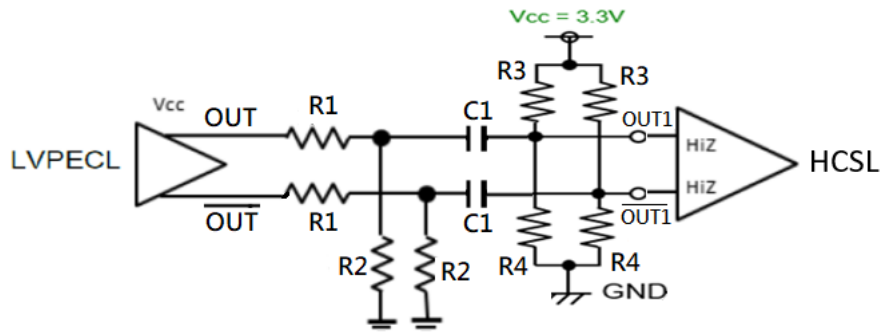
表二. 電路參數

| RS1[Ω] | RS2[Ω] | OUT & OUT-bar       |                     |                     |
|--------|--------|---------------------|---------------------|---------------------|
|        |        | V <sub>OH</sub> [V] | V <sub>OL</sub> [V] | V <sub>CM</sub> [V] |
| 56     | 91     | 1.38                | 1.08                | 1.23                |

[註] 此參數為  $V_{CC}=3.3V$  狀態下表現僅為參考用，實際以信號調整請依實際電路板，選用後測試為主

### 3-3. LVPECL 終端電路 $V_{OH}/V_{OL}$ ，轉換為 HCSL $V_{OH}/V_{OL}$ ：

標準 LVPECL 輸出(Q、/Q)端採用 150Ω 對地電阻，對於輸出端提供直流偏壓。為了將 LVPECL 輸出振幅衰減至 700mV 的 HCSL 振幅。增設分壓電路(R3 & R4)來實現 HCSL 振幅 700mV 直流振幅。



圖三. LVPECL to HCSL(AC coupling) termination circuit

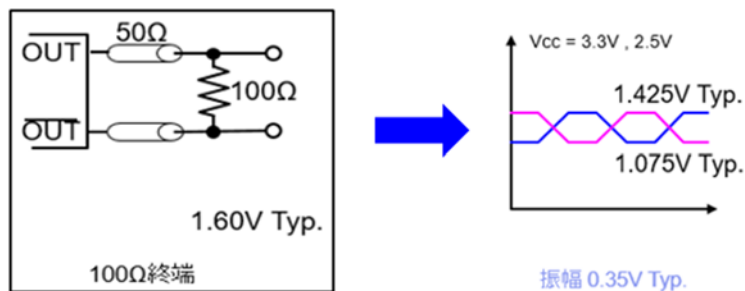
表三. LVPECL 轉 HCSL 電路參數

| No | Vcc [V] | R1[Ω] | R2[Ω] | C1[uF] | R3[Ω] | R4[Ω] | OUT & /OUT |        |
|----|---------|-------|-------|--------|-------|-------|------------|--------|
|    |         |       |       |        |       |       | VOH[V]     | VOL[V] |
| 1  | 3.3     | 0     | 150   | 0.1    | 390   | 56    | 0.81       | 0.01   |
| 2  | 3.3     | 2.7   | 150   | 0.1    | 430   | 56    | 0.75       | 0.01   |
| 3  | 2.5     | 0     | 91    | 0.1    | 330   | 62    | 0.80       | 0.00   |
| 4  | 2.5     | 2.2   | 91    | 0.1    | 330   | 62    | 0.77       | 0.02   |

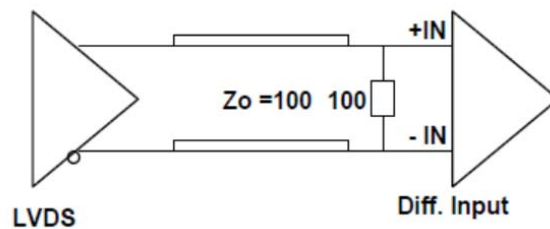
## 4. LVDS Driver and Termination

### 4-1. LVDS 標準電路

◎ LVDS 標準電路如下

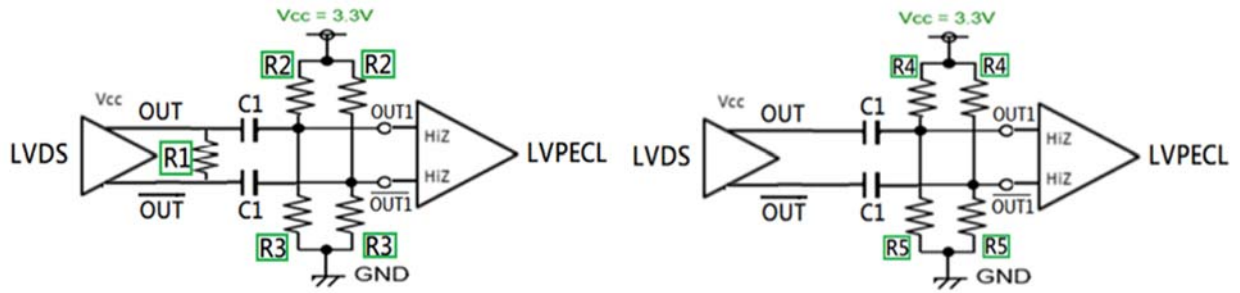


其中，LVDS 可進行 DC Coupling 如下：



### 4-2. LVDS 終端電路轉換為 LVPECL

LVDS 轉換 LVPECL，主要是耦合電容前完成阻抗匹配，提供 LVPECL 直流偏壓(參閱圖四)



圖四. LVDS to LVPECL termination circuit

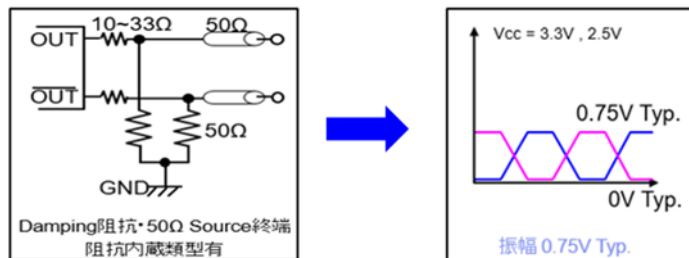
表四. LVDS 轉 LVPECL 電路參數

| No | Vcc [V] | R1[Ω] | C1[uF] | R2[Ω] | R3[Ω] | R4[Ω] | R5[Ω] |
|----|---------|-------|--------|-------|-------|-------|-------|
| 1  | 3.3     | 100   | 0.1    | 2.7K  | 4.3K  | --    | --    |
| 2  | 3.3     | --    | 0.1    | --    | --    | 82    | 130   |

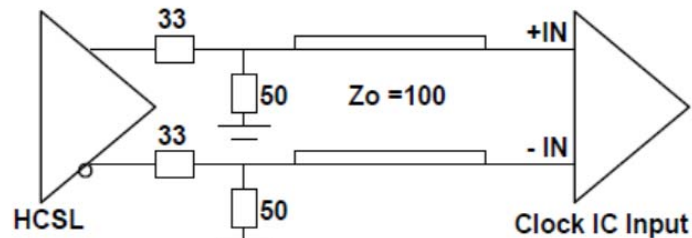
## 5. HCSL Driver and Termination

### 5-1. HCSL 標準電路

◎ HCSL 標準電路如下:

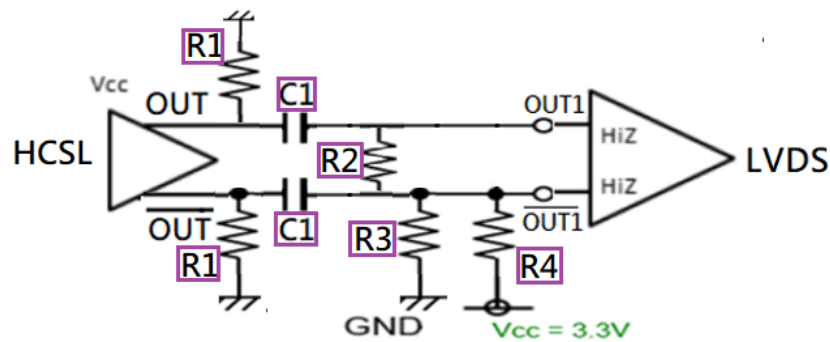


其中，HCSL 可進行 DC Coupling 如下:



### 5-2. HCSL 終端電路轉換為 LVDS

當 HCSL 輸出為低電位(0V)時，利用 Termination 技術將輸出訊號轉變為 LVDS，標準 LVDS 輸出振幅為 0.35V，應在 LVDS 接收器前增加 10nF 耦合電容可阻止直流訊號，再利用後端電阻(R3 & R4)，實現 LVDS 共模 1.2V Vcm 準位



圖五. HCSL to LVDS termination circuit

表五. HCSL 轉 LVDS 電路參數

| No | Vcc [V] | R1[Ω] | C1[uF] | R2[Ω] | R3[Ω] | R4[Ω] |
|----|---------|-------|--------|-------|-------|-------|
| 1  | 3.3     | 48    | 0.1    | 100   | 5K    | 8.7K  |

以上為本篇適用於高速信號傳輸專用時脈信號，使用高階差動式石英振盪器相關特性和相關其輸出端外部端子設計說明，如有任何選料問題，或有測試需求或測試問題時，可洽詢台灣愛普生公司各授權電子零件代理商，或是與我們聯絡。

更多有關 Epson 石英振盪器產品資訊，請參考

[https://www5.epsondevice.com/en/products/crystal\\_oscillator/#sub02](https://www5.epsondevice.com/en/products/crystal_oscillator/#sub02)

更多有關 Epson 石英元件產品相關影片，請參考，

[https://www5.epsondevice.com/en/information/technical\\_info/video/others.html](https://www5.epsondevice.com/en/information/technical_info/video/others.html)

#台灣愛普生 #電子零件事業部 #石英振盪器 #石英元件 #differential SPXO #SG3225EEN  
#SG3225VEN #SG3225HBN